

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年12月 5日

出 願 番 号
Application Number:

特願2000-370626

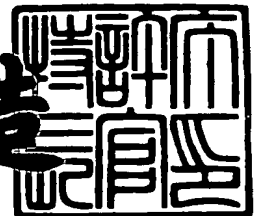
出 願 人
Applicant(s):

インターナショナル・ビジネス・マシーンズ・コーポレーション

2001年 2月23日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3009455

【書類名】 特許願

【整理番号】 JP9000393

【提出日】 平成12年12月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 3/06
G11B 5/00
G11B 7/00

【発明者】

【住所又は居所】 神奈川県藤沢市桐原町1番地 日本アイ・ビー・エム株式会社 藤沢事業所内

【氏名】 押川 浩

【発明者】

【住所又は居所】 神奈川県藤沢市桐原町1番地 日本アイ・ビー・エム株式会社 藤沢事業所内

【氏名】 清水 雅裕

【発明者】

【住所又は居所】 滋賀県野洲郡野洲町大字市三宅800番地 日本アイ・ビー・エム株式会社 野洲事業所内

【氏名】 山田 光治

【発明者】

【住所又は居所】 滋賀県野洲郡野洲町大字市三宅800番地 日本アイ・ビー・エム株式会社 野洲事業所内

【氏名】 大森 忠司

【特許出願人】

【識別番号】 390009531

【氏名又は名称】 インターナショナル・ビジネス・マシーンズ・コーポレーション

【代理人】

【識別番号】 100086243

【弁理士】

【氏名又は名称】 坂口 博

【代理人】

【識別番号】 100091568

【弁理士】

【氏名又は名称】 市位 嘉宏

【代理人】

【識別番号】 100106699

【弁理士】

【氏名又は名称】 渡部 弘道

【復代理人】

【識別番号】 100112520

【弁理士】

【氏名又は名称】 林 茂則

【選任した復代理人】

【識別番号】 100110607

【弁理士】

【氏名又は名称】 間山 進也

【手数料の表示】

【予納台帳番号】 091156

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9706050

【包括委任状番号】 9704733

【包括委任状番号】 0004480

【プルーフの可否】 要

【書類名】 明細書

【発明の名称】 データ伝送システム、データ伝送方法、データ記録装置およびコンピュータシステム

【特許請求の範囲】

【請求項 1】 データ信号を伝送する複数のデータ信号線および制御信号を伝送する単数または複数の制御信号線が平行に配置された配線またはケーブルと

前記データ信号線または制御信号線の各々の途中または端部に接続され、その出力信号のスルーレートが可変であるドライバと、を含み、

前記データ信号のスルーレートを、前記制御信号のスルーレートより小さく設定する手段を有するデータ伝送システム。

【請求項 2】 前記配線またはケーブルの片側が複数に分岐され、

分岐された前記配線またはケーブルに前記ドライバを含むデバイスが接続されているかを判断する手段と、

前記デバイスの接続台数と前記データ信号および制御信号のスルーレートの最適値とを関連付けたテーブルと、

前記判断に基づく前記デバイスの接続台数と前記テーブルとを参照して、前記データ信号および制御信号のスルーレートを設定する手段と、

をさらに含む請求項 1 記載のデータ伝送システム。

【請求項 3】 前記データ信号および制御信号の立ち上がりスルーレートと立下りスルーレートとを独立に設定する手段を有する請求項 1 記載のデータ伝送システム。

【請求項 4】 前記制御信号は、クロック信号またはストロブ信号である請求項 1、2 または 3 記載のデータ伝送システム。

【請求項 5】 前記データ信号および制御信号は、ATA (AT attachment) 規格または ATAPI (ATA packet interface) 規格に準拠する請求項 4 記載のデータ伝送システム。

【請求項 6】 信号がハイレベルであると判断される最低電圧 (第 1 基準電圧) と信号がローレベルであると判断される最大電圧 (第 2 基準電圧) との間の

前記データ信号における遷移時間が、前記制御信号における前記遷移時間よりも 2 ns 以上大きい請求項 5 記載のデータ伝送システム。

【請求項 7】 平行に配置された配線またはケーブルの複数のデータ信号線および単一または複数の制御信号線に信号を伝送するデータ伝送方法であって、

前記データ信号線に伝送するデータ信号のスルーレートを、前記制御信号線に伝送する制御信号のスルーレートより小さく設定するステップと、

前記データ信号を前記データ信号のスルーレートで、前記制御信号を前記制御信号のスルーレートで発生するステップと、

前記データ信号および制御信号を受信するステップと、
を含むデータ伝送方法。

【請求項 8】 その片側が分岐された前記配線またはケーブルに前記信号を発生するドライバを含むデバイスが接続されているかを判断するステップと、

前記デバイスの接続台数と前記データ信号および制御信号のスルーレートの最適値とを関連付けたテーブル、および、前記判断に基づく前記デバイスの接続台数を参照して、前記データ信号および制御信号のスルーレートを設定するステップと、

をさらに含む請求項 7 記載のデータ伝送方法。

【請求項 9】 前記データ信号および制御信号の立ち上がりスルーレートと立下りスルーレートとを独立に設定する請求項 7 記載のデータ伝送方法。

【請求項 10】 前記制御信号は、クロック信号またはストロブ信号である請求項 7、8 または 9 記載のデータ伝送方法。

【請求項 11】 前記データ信号および制御信号は、ATA (AT attachment) 規格または ATAPI (ATA packet interface) 規格に準拠する請求項 10 記載のデータ伝送方法。

【請求項 12】 信号がハイレベルであると判断される最低電圧 (第 1 基準電圧) と信号がローレベルであると判断される最大電圧 (第 2 基準電圧) との間、前記データ信号における遷移時間が、前記制御信号における前記遷移時間よりも 2 ns 以上大きい請求項 11 記載のデータ伝送方法。

【請求項 13】 平行に配置されたケーブルの複数のデータ信号線および単

一または複数の制御信号線に信号を伝送するドライバをそのインタフェイス部に含む、ホスト装置に接続されるデータ記録装置であって、

前記ドライバの出力信号のスルーレートが可変であり、

前記データ信号線に伝送するデータ信号のスルーレートを、前記制御信号線に伝送する制御信号のスルーレートより小さく設定する手段を有するデータ記録装置。

【請求項 1 4】 前記ケーブルの片側が複数に分岐され、

分岐された前記ケーブルに前記ドライバを含む他のデータ記録装置が接続されているかを判断する手段と、

前記ケーブルに接続されたデータ記録装置の接続台数と前記データ信号および制御信号のスルーレートの最適値とを関連付けたテーブルと、

前記判断に基づくデータ記録装置の接続台数と前記テーブルとを参照して、前記データ信号および制御信号のスルーレートを設定する手段と、

をさらに含む請求項 1 3 記載のデータ記録装置。

【請求項 1 5】 前記データ信号および制御信号の立ち上がりスルーレートと立下りスルーレートとを独立に設定する手段を有する請求項 1 3 記載のデータ記録装置。

【請求項 1 6】 前記制御信号は、ATA (AT attachment) 規格または ATAPI (ATA packet interface) 規格に準拠するストローク信号である請求項 1 3、1 4 または 1 5 記載のデータ記録装置。

【請求項 1 7】 信号がハイレベルであると判断される最低電圧（第 1 基準電圧）と信号がローレベルであると判断される最大電圧（第 2 基準電圧）との間の前記データ信号における遷移時間が、前記制御信号における前記遷移時間よりも 2 ns 以上大きい請求項 1 6 記載のデータ記録装置。

【請求項 1 8】 ホスト装置と、

データ記録装置と、

前記ホスト装置およびデータ記録装置の各インタフェイス部を接続し、データ信号を伝送する複数のデータ信号線および制御信号を伝送する単数または複数の制御信号線が平行に配置されたケーブルと、

前記ホスト装置およびデータ記録装置の何れかのまたは両方のインタフェース部に含まれ、前記データ信号および制御信号を生成し、その出力信号のスルーレートが可変であるドライバと、

前記データ信号のスルーレートを、前記制御信号のスルーレートより小さく設定する手段と、

を有するコンピュータシステム。

【請求項 1 9】 前記ケーブルの片側が複数に分岐され、

分岐された前記ケーブルに前記ドライバを含む他のデータ記録装置が接続されているかを判断する手段と、

前記ケーブルに接続されたデータ記録装置の接続台数と前記データ信号および制御信号のスルーレートの最適値とを関連付けたテーブルと、

前記判断に基づくデータ記録装置の接続台数と前記テーブルとを参照して、前記データ信号および制御信号のスルーレートを設定する手段と、

をさらに含む請求項 1 8 記載のコンピュータシステム。

【請求項 2 0】 前記データ信号および制御信号の立ち上がりスルーレートと立下りスルーレートとを独立に設定する手段を有する請求項 1 8 記載のコンピュータシステム。

【請求項 2 1】 前記制御信号は、ATA (AT attachment) 規格または ATAPI (ATA packet interface) 規格に準拠するストロブ信号である請求項 1 8、1 9 または 2 0 記載のコンピュータシステム。

【請求項 2 2】 信号がハイレベルであると判断される最低電圧（第 1 基準電圧）と信号がローレベルであると判断される最大電圧（第 2 基準電圧）との間の前記データ信号における遷移時間が、前記制御信号における前記遷移時間よりも 2 n s 以上大きい請求項 2 1 記載のコンピュータシステム。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、データ伝送システム、データ伝送方法、データ記録装置およびコンピュータシステムに関し、特に、ATA (AT attachment) / ATAPI (ATA p

acket interface) 規格に準拠したデータ伝送の品質向上に適用して有効な技術に関する。

【0002】

【従来の技術】

AT仕様のパーソナルコンピュータシステムでは、データ記録装置として通常ハードディスクドライブ(HDD)が用いられる。コンピュータシステムのマザーボードとHDDとの接続にはインタフェースを介したフラットケーブルが用いられ、データ転送のインタフェースには標準的にIDE(integrated drive electronics: ATA-2以降はEnhanced IDEと称される)が採用されている。

【0003】

IDEはATA-1として規格化され、その後ATA-2、ATA-3と順次拡張されている。現在ATA/ATAPI-5として規格化されているものが最新の規格であり、近くATA/ATAPI-6が策定される予定である。後に策定されたATAは上位互換であり、ATA/ATAPI-5に準拠する場合はATA-1~4にも同時に対応する。なお、ATAPIは従来SCSI(small computer system interface)で接続されていたCD(compact disc)-ROM、DVD(digital video disk)-ROM、MO(magneto-optical disk)等の記憶装置をIDEでも使えるようにした規格であり、ATA/ATAPI-4以降はATAと共に統一されている。

【0004】

IDEインタフェースは転送方式としてPIO(programmed I/O)、マルチワードDMA(direct memory access)、ウルトラDMAの3種類の方式を有し、最大転送速度が相違する複数のモードを有する。PIOはプロセッサがデータの読出しおよび書込みを制御する方式であり、モード0(最大転送速度3.33Mバイト/秒)からモード4(最大転送速度16.7Mバイト/秒)が存在する。マルチワードDMAはDMAコントローラがデータ転送を制御する方式であり、モード0からモード2までである。モード0の最大転送速度は4.17Mバイト/秒であり、モード2の最大転送速度は16.7Mバイト/秒である。ウルトラDMAはクロックの立ち上がりおよび立ち下りの両方でデータを読み書きすること

により、マルチワードDMAと同じクロック周波数で2倍の転送速度を実現する。モード0（最大転送速度16.7Mバイト/秒）からモード4（最大転送速度66.6Mバイト/秒）まであり、モード5（最大転送速度100Mバイト/秒）が現在ATA/ATAPI-6として策定中である。すなわち、たとえばATA/ATAPI-6規格に準拠する場合は最高転送速度として3.33Mバイト/秒から100Mバイト/秒までの範囲で対応する必要がある。

【0005】

また、IDEでは1つのIDEポートに2台までのHDDまたはCD-ROM等を接続することが可能であり、このためIDEケーブルはその途中または端部を分岐して1つのホスト側コネクタに対し2つのデバイス側コネクタが対応するように構成されている。ウルトラDMA/66（最大転送速度66.6Mバイト/秒）以降のケーブルでは接地線を従来の2倍にして、つまり信号線を接地線で挟むように構成してノイズ増加の影響を抑制している。

【0006】

一般に、IDE、SCSI等のパラレルデータ伝送規格では、データ信号線を複数有し、たとえばIDEでは16本のデータ信号線を有する。つまり、1サイクルあたりデータ信号線の本数分のビット（IDEの場合16ビット）を同時に伝送する。データ信号線のデータ読取りのタイミングを制御するために、制御信号線の1つのストローク信号を用いる。ストローク信号の立ち上がりあるいは立下りのタイミングでデータ信号線の信号レベルを読取り、ハイレベルあるいはローレベルに対応付けて「1」あるいは「0」の情報を伝送する。

【0007】

確実な情報伝送のためにはストローク信号の読取りタイミングの前後でデータ信号が安定している必要がある。図9は、データ信号とストローク信号のタイミングの一例を示した図である。読取りタイミング以前の安定時間をセットアップタイム、以後の安定時間をホールドタイムと称し、何れの時間も十分に確保されることが安定したデータ伝送の条件となる。なお図9ではストローク信号の立下り時にデータを読み取る例を示しているが、ウルトラDMA方式の場合は立上り時にもデータの読み取りが行われる。

【 0 0 0 8 】

【発明が解決しようとする課題】

ところが、前記した通り、A T A等のデータ伝送規格では伝送速度の向上が図られる。つまりクロック周波数（各信号のサイクル数）が増加する方向にある。一般に信号は完全な矩形波ではなく、ある程度の立ち上がり時間、立下り時間を有する。これを本明細書ではトランジションタイム（過渡時間）と称する。クロック周波数が大きくなるとトランジションタイムを小さくしなければ十分なセットアップタイムおよびホールドタイムが確保できない。よって、クロック周波数の増加に伴い、トランジションタイムを小さくする必要がある。

【 0 0 0 9 】

一方、トランジションタイムの減少はデータ信号線間のクロストークノイズを増加する。トランジションタイムが小さい、すなわちより矩形波に近い波形を実現すると、信号に高周波成分を多く含むことになる。平行に配置された配線間は浮遊容量で結合され、高周波であるほど容易に隣接配線とカップリングを生じる。このカップリングの結果、データ信号は隣接データ信号の影響を受ける。ウルトラDMA／66以降のケーブルではデータ信号線の上に接地線を配置し、クロストークノイズの低減を図っているものの、それ以前の規格ではケーブルにクロストークノイズの対策は施されていない。よって、クロストークノイズの影響により本来ハイレベルである信号がローレベルであると判断され、逆にローレベルがハイレベルと誤判断される可能性がある。従って、データ伝送の信頼性の観点からは、クロストークノイズは出来得る限り抑制する必要がある、トランジションタイムはできるだけ大きい方がよい。すなわち、データ転送速度に見合う範囲内でトランジションタイムを大きくすることが高いデータ転送速度を維持しつつデータ転送の信頼性を確保する最も効果的な対策に見える。

【 0 0 1 0 】

しかし、トランジションタイムの増加は、ウルトラDMA方式のデータ転送のようにデータの送信側がデータ信号とともにクロック（ストロブ）信号を受信側に送る場合にタイミングマージンを減少させる問題がある。

【 0 0 1 1 】

一般にデータの信号レベルはある閾値電圧 V_{th} よりも高いかあるいは低いかでハイレベルあるいはローレベルが判断される。しかしながら、レシーバを構成する半導体素子の製造工程でのばらつきや、使用時の温度、電源電圧等によって実際の閾値は変動する。このためレシーバは仕様として2種類の閾値を定めている。すなわち、第1閾値電圧 V_{th} 以上であれば必ずハイレベルと判断し、第2閾値電圧 V_{tl} 以下であれば必ずローレベルと判断する2つの閾値を設定する。ばらつきによる判断の相違が無いように V_{th} は V_{tl} より高く設定される。実際のレシーバの閾値 V_t は V_{th} と V_{tl} の間にあり、レシーバによって相違する。 V_t は V_{th} に近い場合もあり V_{tl} に近い場合もある。

【0012】

このような状況で、データ信号とストローク信号のタイミングを示したのが図10である。図10はこの問題を説明するためのタイミングを模式的に示した図である。(a)は V_t が V_{th} に近い場合を示し、(b)は V_t が V_{tl} に近い場合を示す。(a)および(b)は同じタイミングでデータ信号とストローク信号を受信しているにも関わらず、(b)の場合にはホールドタイムが大きく劣化している。このようなホールドタイムの劣化はレシーバの閾値の変化によってストローク信号によるデータ信号の読取りタイミングが変化することに起因する。つまり同じタイミングで入力された信号であってもレシーバの閾値の変動によってタイミングマージンが劣化する場合がある。そしてこのようなタイミングマージンの劣化はストローク信号のトランジションタイムが大きい時に顕著になる。なお、図10ではストローク信号の立下り時にデータを読み取る例を説明しているが、ストローク信号の立上り時にデータを読み取る場合にはセットアップタイムが劣化する。何れの場合においてもタイミングマージンが劣化することには変わりはない。

【0013】

また、前記したトランジションタイムを大きくすることによる問題のほかに、ストローク信号とデータ信号の各信号線の仕様が異なることによる信号波形の劣化の問題もある。すなわち、ウルトラDMAにおいてはデータリード時のデータストロークに「IORDY」ラインが用いられる。この「IORDY」はATA

の仕様によってホストシステム側で $1\text{ k}\Omega$ の抵抗でプルアップされ、HDD等のデバイス側のダンピング抵抗は 22Ω である。一方データ信号を伝送するラインはプルアップされず、デバイス側のダンピング抵抗は 33Ω である。このようにストロブ線とデータ線の電気的特性たとえばドライバから見た負荷インピーダンスが相違し、同じドライバから信号を加えるとその波形が相違する。データのスキューをそろえるためダンピング抵抗やライン長をデバイス側で揃える努力を行ってもホストシステム側でプルアップされていることは変更できない。このため、ドライバのスルーレートコントロールを用いてもストロブ信号とデータ信号のスルーレートやオーバーシュート、アンダーシュートを揃えることができない。つまりストロブ信号波形が最適になるようにドライバを調整すればデータ信号が最適でなくなり、逆にデータ信号を最適に調整するとストロブ信号が最適でなくなる。このような信号波形の最適波形からのずれは、伝送信号による反射を生じ、さらに波形を崩す要因ともなる。特にウルトラDMA/100等の次世代の規格においてはより慎重な設計が要求され、信号波形のフレキシブルな調整技術の要請が強い。

【0014】

また、上記のような信号線間の負荷インピーダンスの相違は次のような場合にも発生する。つまり、ATA/ATAPIでは、1つのホスト側IDEポートに接続されるケーブルには2台のデバイスが接続できるが、1台接続している場合と2台接続している場合ではドライバから見た信号線の負荷インピーダンスは相違する。このため、前記同様に、デバイスを1台接続した時の信号波形が最適になるようにドライバを調整すればデバイスが2台の時には最適波形からずれる。逆に2台の時に最適になるよう調整すれば1台の時には最適ではなくなる。

【0015】

本発明の目的は、データ転送速度を低下させることなく、タイミングマージンを増加し、データ転送の信頼性を高める技術を提供することにある。また、本発明の目的は、データ信号とストロブ信号のスキューを揃えることを可能にする信号波形のフレキシブルな調整技術を提供することにある。さらに、本発明の目的は、ケーブルに接続されるデバイスの台数に関わりなくデータ転送の信頼性を

確保する技術を提供することにある。

【0016】

【課題を解決するための手段】

本願の発明の概略を説明すれば、以下の通りである。すなわち、本発明において、データ信号のスルーレートとストロブ信号等の制御信号のスルーレートをドライバのスルーレートコントローラによって独立に制御し、データ信号のスルーレートをストロブ信号のスルーレートより小さくする。すなわち、信号波形において、ストロブ信号のトランジションタイム内の波形の傾きをデータ信号のそれより大きくする。このようにデータ信号のスルーレートとストロブ信号のスルーレートを独立に制御することにより、データ信号については、転送速度を低下させない範囲内でクロストークを最小限に抑制するようスルーレートを小さく（トランジションタイムを長く）調整できる。かつ、ストロブ信号についてはデータ信号のスルーレートより大きく（トランジションタイムを短く）することによりタイミングマージンの劣化を抑制できる。データ信号線は互いに平行に配置されるので、スイッチングによる相互のクロストークが顕著に表れるためクロストーク対策を重視し、一方ストロブ信号についてはデータ信号線に比較してクロストークが顕著ではないためタイミングマージン対策を重視したものである。ストロブ信号のトランジションタイムを短くすれば、素子ばらつき、温度、駆動電圧等による閾値のばらつきが仮に生じても、閾値変動によるデータ読取りのタイミング変動が小さく、セットアップタイムおよびホールドタイムのマージンの劣化を少なくすることができる。なお、上記データ信号が V_{th} と V_{tl} との間を遷移する時間とストロブ信号が V_{th} と V_{tl} との間を遷移する時間の差は 2 ns 以上であることが望ましい。

【0017】

また、ストロブ信号とデータ信号の波形は、IDEポート（ケーブル）に接続されるデバイスの数によっても変化を受ける。そこで本発明では、ケーブルに2台目のデバイスが接続されているかを判断する手段を有し、2台目が接続されている場合と接続されていない場合の最適のスルーレートを予め記憶させたテーブルから読取り、この台数に応じた最適スルーレートを適用して信号生成できる

。また、本発明では、信号波形の立上り時のスルーレートと立ち下がり時のスルーレートを独立に制御するようにしても良い。これら方策により、信号波形を最適にコントロールして、データ転送の信頼性を向上できる。

【0018】

なお、上記本発明は、データ伝送システムとして把握する他、データ伝送方法、これらデータ伝送方法およびシステムを組み込んだHDD等の記録装置およびコンピュータシステムとして把握することができる。

【0019】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。ただし、本発明は多くの異なる態様で実施することが可能であり、本実施の形態の記載内容に限定して解釈すべきではない。なお、実施の形態の全体を通して同じ要素には同じ番号を付するものとする。

【0020】

図1は、本発明の一実施の形態であるコンピュータシステムの一例を示したブロック図である。本実施の形態のコンピュータシステムは、ホストシステム1と2台のハードディスク装置(HDD)2-1, 2-2を有する。ホストシステム1とHDD2-1とはケーブル3で接続され、ホストシステム1とHDD2-2とはケーブル3から分岐したケーブル3-2で接続される。

【0021】

ホストシステム1は、プロセッサバス、PCI(peripheral component interface)バス、ISA(industrial standard architecture)バス等のバスアーキテクチャーで構成された通常のコンピュータシステムである。バスには、CPU、主メモリ、DMA(direct memory access)制御装置、メモリ/バス制御チップセット、入出力インタフェイス、表示インタフェイス、外部インタフェイス等が接続され、その他通常のコンピュータシステムが備える任意のハードウェア資源を備えることができる。

【0022】

ホストシステム1には、HDD2-1, 2-2とインタフェイスするためのA

TコントローラATCを備える。ATCはATA-1~ATA/ATAPI-5に適合するインタフェースであり、将来策定される規格（たとえばATA/ATAPI-6）にも適合できる。ATCにはケーブル3の各配線に接続されるドライバ/レシーバユニットDRUを含む。

【0023】

ハードディスク装置2-1, 2-2には各々記録媒体4、磁気ヘッド5、アーム6、ボイスコイルモータ（VCM）7、ヘッドプリアンプHPA、リードライトチャンネルRWC、VCMドライバVCMD、サーボコントローラSC、ハードディスクコントローラHDC、メモリ、MPU、ATAインタフェース回路ATAIFCを備える。

【0024】

記録媒体4は、たとえばスピンドルモータによって回転され、磁気的作用を利用して情報が記録される。記録媒体4に記録された情報は磁気ヘッド5によって読み取られ、また磁気ヘッド5から情報が書き込まれる。磁気ヘッド5はアーム6の先端部に配置され、VCM7でアーム6を駆動することによって記録媒体4上の相対位置を変える。VCM7はVCMドライバVCMDによって駆動され、サーボコントローラSCからのフィードバックを受けてヘッド5を目的の位置に制御する。

【0025】

ヘッド5から読み取られた信号はヘッドプリアンプHPAで増幅され、リードライトチャンネルRWCに送られる。リードライトチャンネルRWCは電気信号をデータに変換し、データをハードディスクコントローラに送る。リードライトチャンネルRWCは、さらにハードディスクコントローラHDCから送られたデータを電気信号に変換して磁気ヘッド5にこれを送る。

【0026】

VCMドライバVCMD、リードライトチャンネルRWCはハードディスクコントローラHDCに接続され、ハードディスクコントローラHDCはこれらデバイスの制御を行う。

【0027】

ハードディスクコントローラHDC、メモリ、MPUはバス8に接続され、バス8を介して相互にデータを交換する。メモリは、たとえばハードディスク装置2を制御するプログラムその他ハードディスク装置に固有のデータ（テーブル等）を記録する。また、メモリはホストシステムから送信されたデータのバッファリングを行う。MPUは制御プログラムに従ってハードディスク装置の全体を制御する。

【0028】

バス8にはATAインタフェース回路ATAIFCが接続される。ATAIFCはホストシステム1との通信をインタフェースする。ATAIFCはATA-1～ATA/ATAPI-5に適合するインタフェースであり、将来策定される規格（たとえばATA/ATAPI-6）にも適合できる。ATAIFCにはケーブル3の各配線に接続されるドライバ／レシーバユニットDRUを含む。

【0029】

ATCとハードディスク装置2-1のDRUを接続するケーブル3は、40本あるいは80本の配線を有するフラットケーブルである。16本のデータ線を含み、その他接地線、制御信号線を有する。配線が80本の場合は各配線間に接地線が配置されクロストークノイズの対策が施される。ケーブル3はその途中でケーブル3-2に分岐される。ケーブル3-2はハードディスク装置2-2のDRUに接続される。

【0030】

図2はホストシステム1のDRUとハードディスク装置2-1あるいは2-2のDRUおよびケーブルを示した図である。各々のDRUには、ドライバ／レシーバ回路10を含み、ドライバ／レシーバ回路10はドライバ11、レシーバ12で構成される。各DSU間は、データ信号線DD、制御信号線DST1、DST2、DST3および接地線GNDで接続される。

【0031】

データ信号線DDはデータ信号をホストシステムおよびHDD間で双方向に伝送し、その両端には、ドライバ／レシーバ回路10が接続される。ホスト側からHDDにデータを伝送する場合、ホスト側のドライバ／レシーバ回路10はドラ

イバ 1 1 として機能し、HDD 側のドライバ／レシーバ回路 1 0 はレシーバ 1 2 として機能する。逆に、HDD 側からホストにデータを伝送する場合、ホスト側のドライバ／レシーバ回路 1 0 はレシーバ 1 2 として機能し、HDD 側のドライバ／レシーバ回路 1 0 はドライバ 1 1 として機能する。データ信号線 DD は 1 6 本有するが、図では省略している。

【 0 0 3 2 】

制御信号線 DST 1 (「IORDY」と呼ばれる)は、ウルトラDMA方式の転送の際にはHDD側からホスト側にストロブ信号を伝送する一方向伝送線である。制御信号線 DST 1 のホスト側にはレシーバ 1 2 が接続され、HDD 側にはドライバ 1 1 が接続される。制御信号線 DST 1 に伝送されるストロブ信号は、HDD 側からウルトラDMA伝送されるデータ信号の読取りタイミングを取るために用いられる。なお、制御信号線 DST 1 はホスト側で 1 k Ω の抵抗 R によりプルアップされている。

【 0 0 3 3 】

制御信号線 DST 2 (「DIOW-」と呼ばれる)は、PIO方式およびマルチワードDMA方式のデータ転送の際にホスト側からHDD側に送信される書き込み用ストロブ信号を伝送する一方向伝送線である。また、制御信号線 DST 3 (「DIOR-」と呼ばれる)は、PIO方式およびマルチワードDMA方式のデータ転送の時にはホスト側からHDD側に読み取り用ストロブ信号を伝送し、ウルトラDMA方式のデータ転送の時にはホスト側からHDD側に書き込み用ストロブ信号を伝送する一方向伝送線である。なお、その他の制御信号線については説明を省略する。

【 0 0 3 4 】

データ信号線 DD に接続されるホスト側のドライバ 1 1 にはスルーレートコントロール信号 SRC 1 が入力され、制御信号線 DST 1, DST 3 に接続されるホスト側のドライバ 1 1 にはスルーレートコントロール信号 SRC 2 が入力される。また、データ信号線 DD に接続される HDD 側のドライバ 1 1 にはスルーレートコントロール信号 SRC 3 が入力され、制御信号線 DST 1 に接続される HDD 側のドライバ 1 1 にはスルーレートコントロール信号 SRC 4 が入力される。

。このように本実施の形態のDRUでは、データ信号を生成するドライバのスルーレートと、制御信号を生成するドライバのスルーレートを別々に制御できるようにしている。このため、後に説明するように、転送速度を低下させることなくデータ転送の信頼性を向上できる。

【0035】

図3は、ドライバ11およびレシーバ12の具体例を示した回路図である。本実施の形態のドライバ11は初段のインバータINV0および後段のインバータの2段のインバータで構成される。

【0036】

後段のインバータは、図示するように、その入力として後段インバータ入力 rIn が直接入力されるか遅延回路DLCを介して入力されるかをスイッチSWによって選択することが可能な複数のインバータが並列に接続された構成を持つ。ただし、後段インバータの最初のインバータINV1の入力は後段インバータ入力 rIn のみである。スイッチSWは複数ビットのスルーレートコントロール信号SRCの各ビットによって、遅延回路DLCを介する入力かあるいは rIn が直接入力されるかを選択する。

【0037】

たとえば、全てのスイッチSWが rIn 入力側を選択するようにスルーレートコントロール信号SRCの各ビットを設定すれば、後段インバータINV1～INV $n+1$ のすべての入力に初段インバータINV0の出力である rIn が同時に入力される。すなわち、ドライバへの入力 Din とほぼ同時に後段インバータINV1～INV $n+1$ のすべてが駆動され、ドライバ11は最大許容電流量で駆動される。つまりこの場合ドライバ11からの出力 $Dout$ は最も速いステップ応答を行い、最大のスルーレートを実現する。

【0038】

一方、全てのスイッチSWが遅延回路DLC側を選択するようにスルーレートコントロール信号SRCの各ビットを設定すれば、後段インバータINV1の駆動後、遅延時間Tだけ遅れて後段インバータINV2が駆動される。さらに時間T（INV1の駆動後からは2T）遅れて後段インバータINV3が駆動される

。順次 T だけ遅れて最終的には INV_{n+1} が INV_1 の駆動後 nT だけ遅れて駆動される。つまりこの場合、後段インバータの電流駆動能力は遅延時間 T ごとに除々に増加する。結果的にドライバ 11 の出力 $Dout$ の電圧立ち上がりあるいは立下りは遅くなり、小さなスルーレートを実現する。この場合、ドライバ 11 のスルーレートは最小になる。

【 0 0 3 9 】

上記スルーレートの最大値と最小値の間で n 通りのスルーレートをスルーレートコントロール信号 SRC のビットを選択することにより実現できる。

【 0 0 4 0 】

なお、データ信号のレシーバ 12 にはたとえば AND ゲート回路を用いることができるが、これには限られない。 AND ゲート回路のクロック CLK にはストロブ信号の立ち上がりまたは立下りあるいはその両方を検出し、この検出をトリガとする任意のハイレベル出力回路を接続できる。

【 0 0 4 1 】

次に、上記のようなスルーレートコントロールが可能なドライバ 11 を含む DRU を用いたデータ伝送方法について説明する。図 4 は、本実施の形態のデータ伝送方法の一例を示したフローチャートである。以下の処理はコンピュータシステムの電源投入あるいはリセットにより開始する。

【 0 0 4 2 】

まず、ホストシステム側および HDD 側で、ケーブル種別を検知する ($S1$ 、 $S2$)。ケーブル種別 (40 本あるいは 80 本) は後にスルーレートの最適値を選択する時に用いる。

【 0 0 4 3 】

次に、ホストシステム 1 は HDD 装置 2 (HDD 装置 2-1 あるいは HDD 装置 2-2 またはその両方) に対し、データ転送モードの設定開始コマンドを送信する ($S3$)。 HDD 装置 2 は前記コマンドを受取り ($S4$)、 HDD 装置 2 がサポート可能なデータ転送モードおよびデータ転送速度等の機器情報をホストシステム 1 に送信する ($S5$)。

【 0 0 4 4 】

ホストシステム 1 は機器情報を受取り (S 6)、データ転送モードとデータ転送速度を設定する (S 7)。データ転送モードとデータ転送速度の設定は、ケーブル種類を考慮し、ATA/ATAPI 規格を満足するように設定する。また、設定はホストシステムおよび HDD 装置のサポートする範囲内で最大の転送速度を選択することが好ましい。

【 0 0 4 5 】

設定されたデータ転送モードとデータ転送速度は HDD 装置 2 に送信され (S 8)、HDD 装置 2 ではこれを受信する (S 1 0)。

【 0 0 4 6 】

その後、ホストシステム 1 および HDD 装置 2 は各々設定されたデータ転送速度と使用されているケーブル種類からなる信号伝送条件に最適なスルーレートを設定する (S 9、S 1 1)。スルーレートの設定は、予め記録したスルーレート設定テーブルを参照する。ホストシステム 1 の場合、テーブルは主メモリまたは AT コントローラ ATC に記憶することができ、HDD 装置の場合、メモリまたは ATA インタフェイス回路 ATAIFC に記憶することができる。

【 0 0 4 7 】

本実施の形態の場合、最適なスルーレート値は、データ信号を生成するドライバ 1 1 への設定値か、ストローク信号を生成するドライバ 1 1 への設定値かによって相違する。すなわち、ストローク信号のスルーレートを大きく、データ信号のスルーレートを小さく設定する。図 5 はストローク信号のスルーレートを大きく、データ信号のスルーレートを小さく設定した例を示す図である。このようにストローク信号のスルーレートを大きく設定することにより、矩形波の立ち上がり、立下り時のトランジションタイムを短くすることができ、レシーバの閾値変動による影響が最悪の場合 (図 1 0 (b) に相当) でもホールドタイムを大きく改善できることがわかる。一方、データ信号のスルーレートは小さい (トランジションタイムが長い) ので、クロストークノイズを抑制できる。すなわち、本実施の形態によれば、クロストークノイズを最小限に抑制しつつ、同時にタイミングマージンの改善を図ることが可能になる。なお図 5 ではストローク信号が立ち下がる時にデータを読み取る例を説明したが、ストローク信号の立上り時にデー

タを読み取る場合であってもタイミングマージンを増加させる効果は同じである。この場合、閾値が V_{th} 側に変動した時にセットアップタイムを劣化させる方向になるが、本実施の形態のようにストロブ信号のトランジションタイムを短くするのでセットアップタイムの劣化を抑制し、タイミングマージンを増加できる。

【 0 0 4 8 】

図 6 (a) は本実施の形態のドライバを用いて、レシーバ側のストロブ信号を観察したグラフであり、(b) は、隣接データ信号線がフルスイングされている状況下でのローレベル出力をレシーバ側で見たデータ信号のグラフである。図 7 は、比較のために示した従来のストロブ信号(a)とデータ信号(b)のグラフである。なお、図 6、7 の(b)における隣接データ信号線のスルーレートは小さい値を設定したものである。また、図 8 は、スルーレートを変えた場合のレシーバ側でのデータ信号のグラフであり、(a) はスルーレートが小さい場合、(b) はスルーレートが大きい場合である。図 8 のグラフはローレベルとハイレベルが相互に繰り返されるフルスイングドライバ出力を与えている。

【 0 0 4 9 】

図 8 から明らかに、データ信号においてスルーレートを変えた場合のノイズレベルは大きく相違する。すなわち図 8 (b) のスルーレートが大きい場合に比較して図 8 (a) のスルーレートが小さい場合はノイズレベルが大きく抑制されている。そして、図 6 と図 7 を比較すれば、ストロブ信号のスルーレートが大きく変化するにも関わらず、データ信号のノイズレベルは大きく変化していない。すなわち、本実施の形態のデータ伝送方法を用いればノイズの影響を抑制して、同時にタイミングマージンを増加できることがわかる。

【 0 0 5 0 】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更することが可能である。

【 0 0 5 1 】

たとえば、前記実施の形態では、矩形波の立ち上がり時のスルーレートコント

ロール信号と立下り時のスルーレートコントロール信号を同じにする例を説明したが、各々異なるスルーレートコントロールを行っても良い。この場合、図3における後段インバータ $INV2 \sim INV_{n+1}$ の pMOS トランジスタおよび nMOS トランジスタのゲート入力を独立させることにより実現できる。

【0052】

また、前記実施の形態では、HDD装置2が2台設置されている例を説明したが、1台でもよい。この場合、HDD装置の台数が異なるとドライバ11から見た負荷インピーダンスが相違する。このため、前記実施の形態の図4において、データ転送速度の設定(S7)以前の任意のステップでHDD装置の接続台数を検査するステップを挿入し、ステップ7におけるデータ転送速度の決定に、この接続台数を考慮することができる。たとえば、HDD装置の接続台数に応じた最適スルーレートをスルーレート設定テーブルに記録させ、これを参照できる。

【0053】

また、前記実施の形態では、HDD装置2を例示したが、その他の周辺装置、たとえばCD-ROM、DVD-ROM、MO等にも同様に適用できる。

【0054】

また、前記実施の形態ではATA/ATAPIに準拠したデータおよびケーブルの例を説明したがこれに限られない。たとえばSCSIやフィルム配線、プリント基板上の配線等、複数のデータ線が平行に配置され、データ信号の送信と同時にストロブ信号(クロック信号)が送信されるその他のデータ伝送あるいは規格においても本発明を適用できる。

【0055】

さらに、前記したスルーレートはスルーレート設定テーブルの値に固定される必要はない。たとえばエラーコレクションコード(ECC)等を用いたエラー率の計測により、動的にスルーレートの値を変えることも可能である。ただし、ストロブ信号のスルーレートの方がデータ信号のスルーレートよりも大きいという本発明の条件を満足する必要がある。

【0056】

【発明の効果】

本願で開示される発明のうち、代表的なものによって得られる効果は、以下の通りである。データ転送速度を低下させることなく、タイミングマージンを増加し、データ転送の信頼性を高めることができる。また、データ信号とストローク信号のスキューを揃えることを可能にする信号波形のフレキシブルな調整技術を提供できる。さらに、ケーブルに接続されるデバイスの台数に関わりなくデータ転送の信頼性を確保する技術を提供できる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態であるコンピュータシステムの一例を示したブロック図である。

【図 2】

ホストシステムの DRU とハードディスク装置の DRU およびケーブルを示した図である。

【図 3】

ドライバおよびレシーバの具体例を示した回路図である。

【図 4】

本発明の一実施の形態であるデータ伝送方法の一例を示したフローチャートである。

【図 5】

ストローク信号のスルーレートを大きく、データ信号のスルーレートを小さく設定した例を示す図である。

【図 6】

(a) は本発明の一実施の形態であるドライバを用いて、レシーバ側のストローク信号を観察したグラフであり、(b) は、隣接データ信号線がフルスイングされている状況下でのローレベルが入力されたレシーバ側でのデータ信号を示すグラフである。

【図 7】

(a) および (b) は比較のために示した従来のストローク信号 (a) とデータ信号 (b) のグラフである。

【図 8】

スルーレートを変えた場合のレシーバ側でのデータ信号のグラフであり、（a）はスルーレートが小さい場合、（b）はスルーレートが大きい場合である。

【図 9】

データ信号とストローク信号のタイミングの一例を示した図である。

【図 1 0】

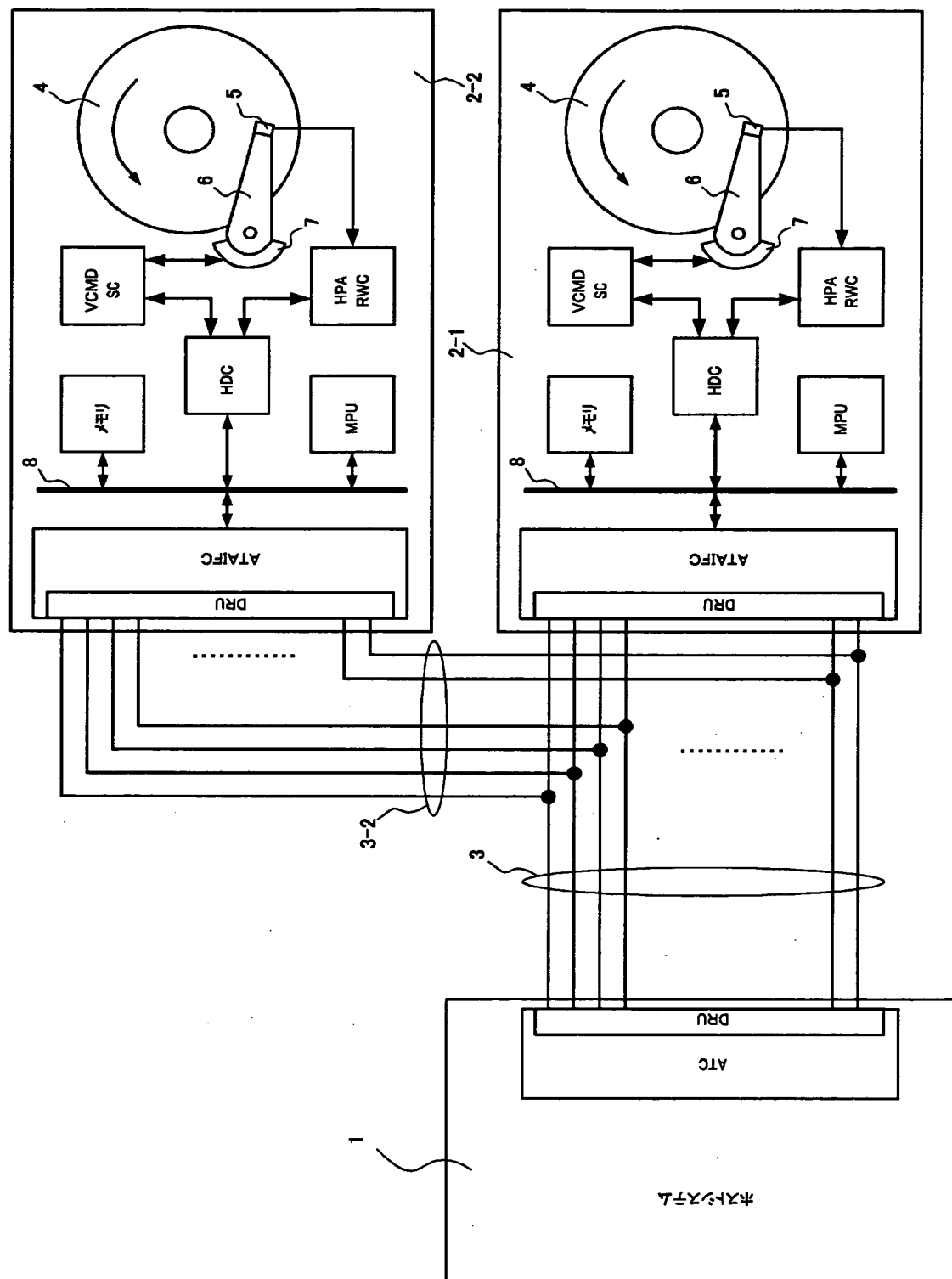
課題を説明するためのタイミングを模式的に示した図である。

【符号の説明】

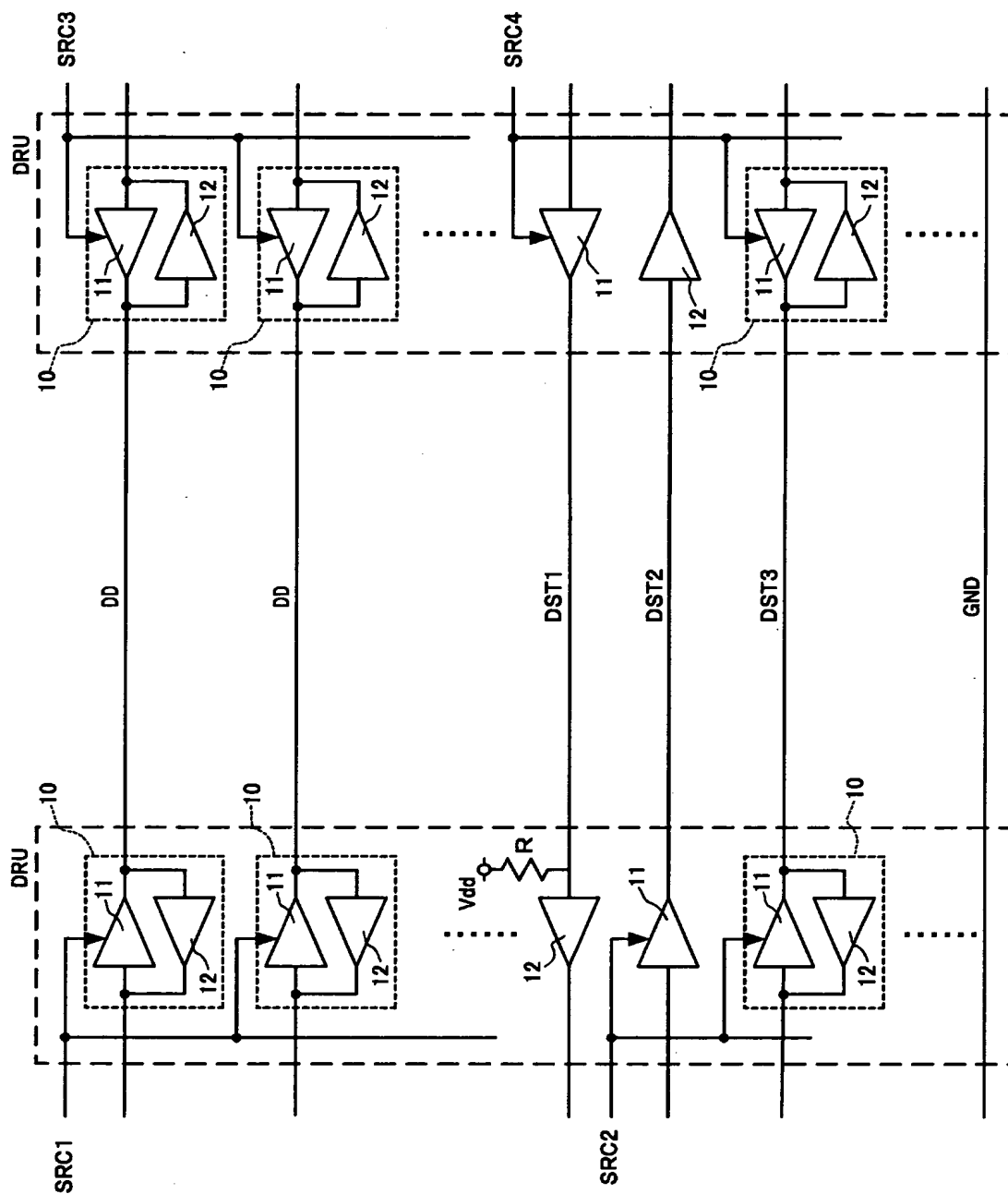
1…ホストシステム、2，2-1，2-2…ハードディスク装置（HDD装置）、3…ケーブル、3-2…分岐ケーブル、4…記録媒体、5…磁気ヘッド（ヘッド）、6…アーム、7…ボイスコイルモータ（VCM）、8…バス、10…ドライバ／レシーバ回路、11…ドライバ、12…レシーバ、ATAIFC…ATAインタフェース回路、ATC…ATコントローラ、CLK…クロック、VCM D…VCMドライバ、DD…データ信号線、DLC…遅延回路、DRU…ドライバ／レシーバユニット、DST1～DST3…制御信号線、Din…ドライバ入力、Dout…ドライバ出力、GND…接地線、HDC…ハードディスクコントローラ、HPA…ヘッドプリアンプ、INV0～INVn+1…インバータ、R…抵抗、RWC…リードライトチャネル、rin…後段インバータ入力、SC…サーボコントローラ、SRC，SCR1～4…スルーレートコントロール信号、SW…スイッチ、Vt…閾値電圧、Vth…第1閾値電圧、Vt1…第2閾値電圧。

【書類名】 図面

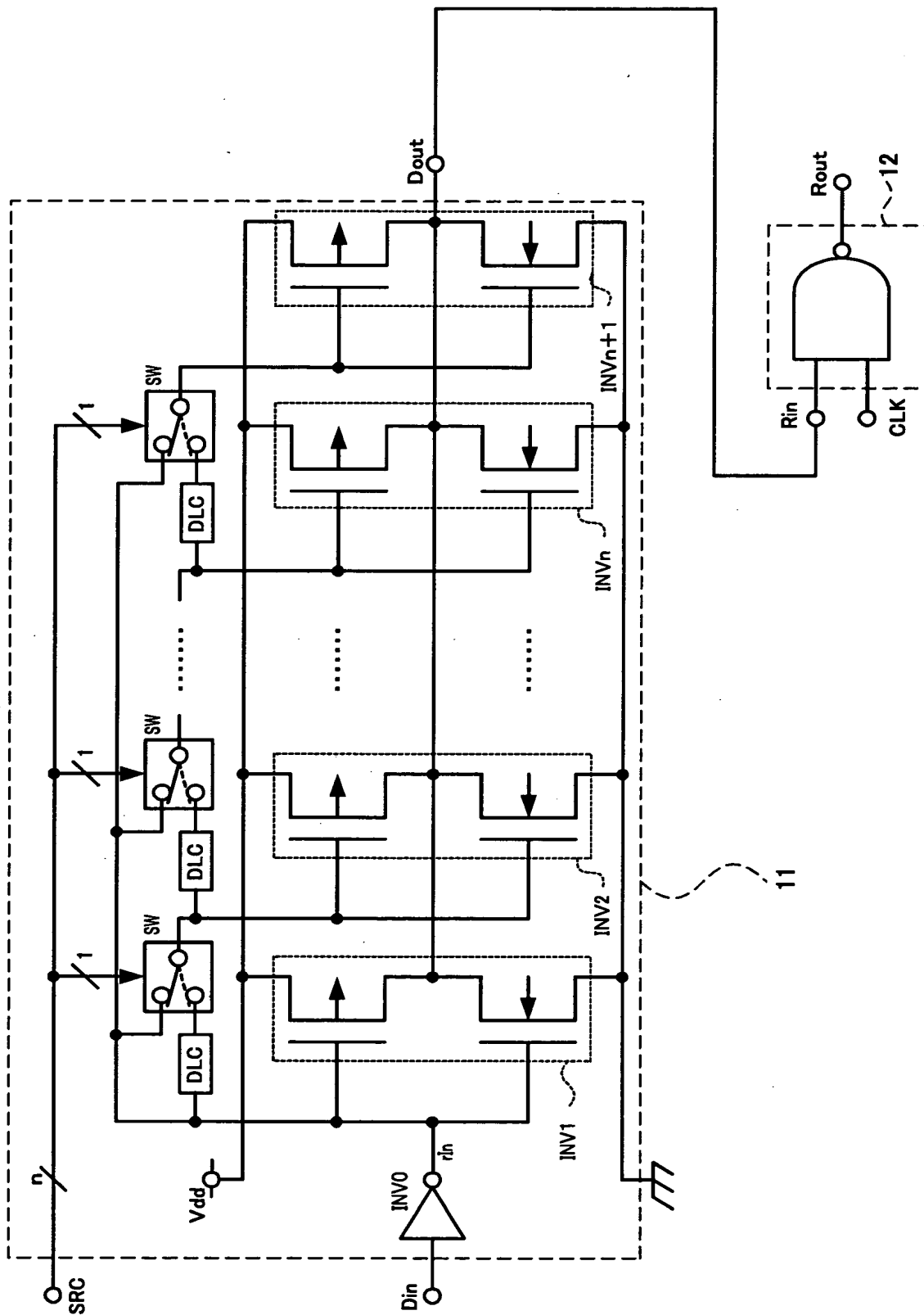
【図 1】



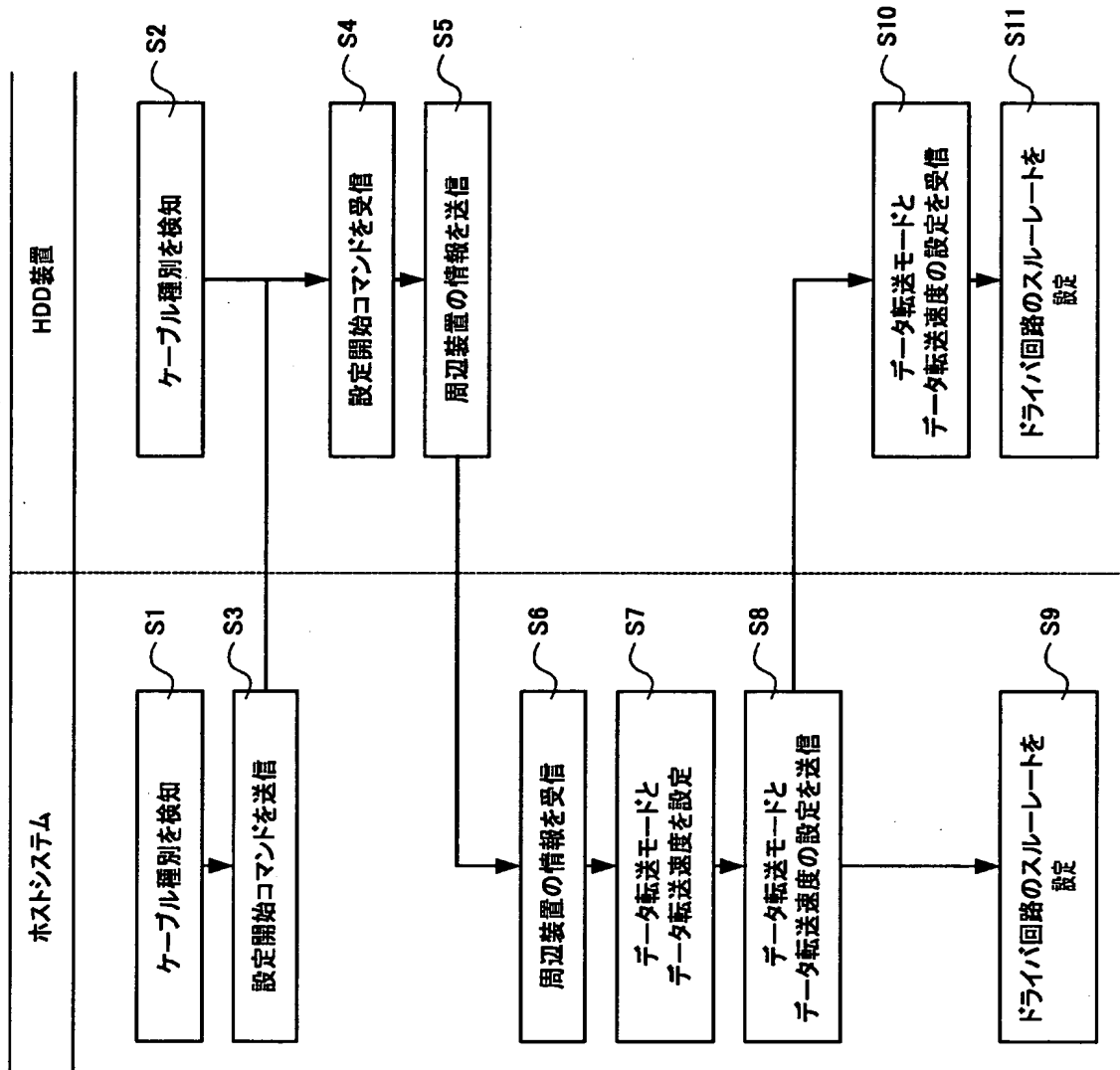
【図 2】



【図 3】



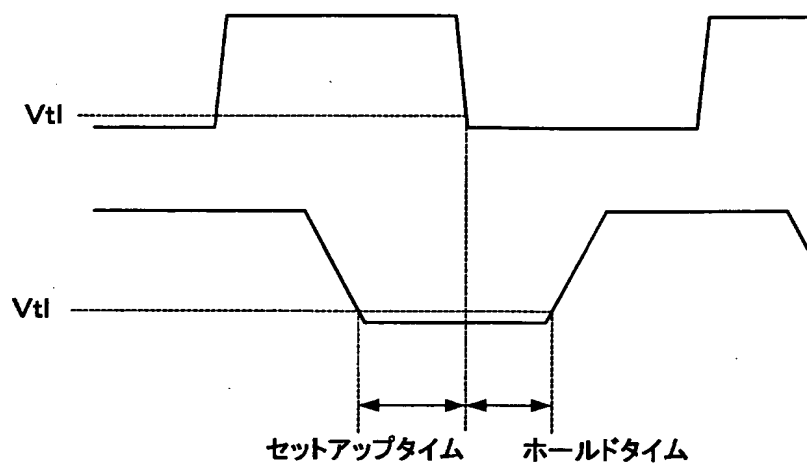
【図 4】



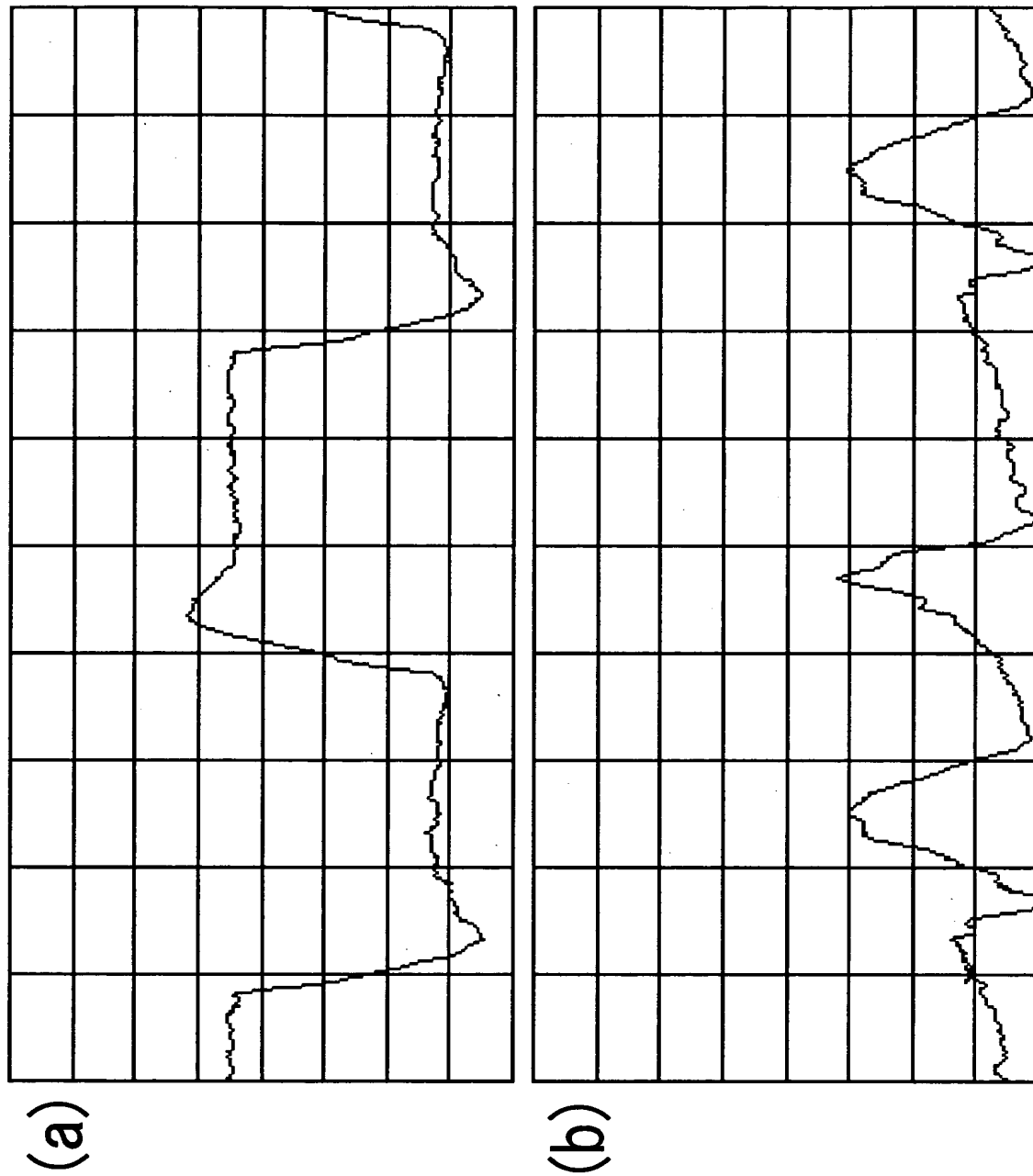
【図 5】

ストロブ信号

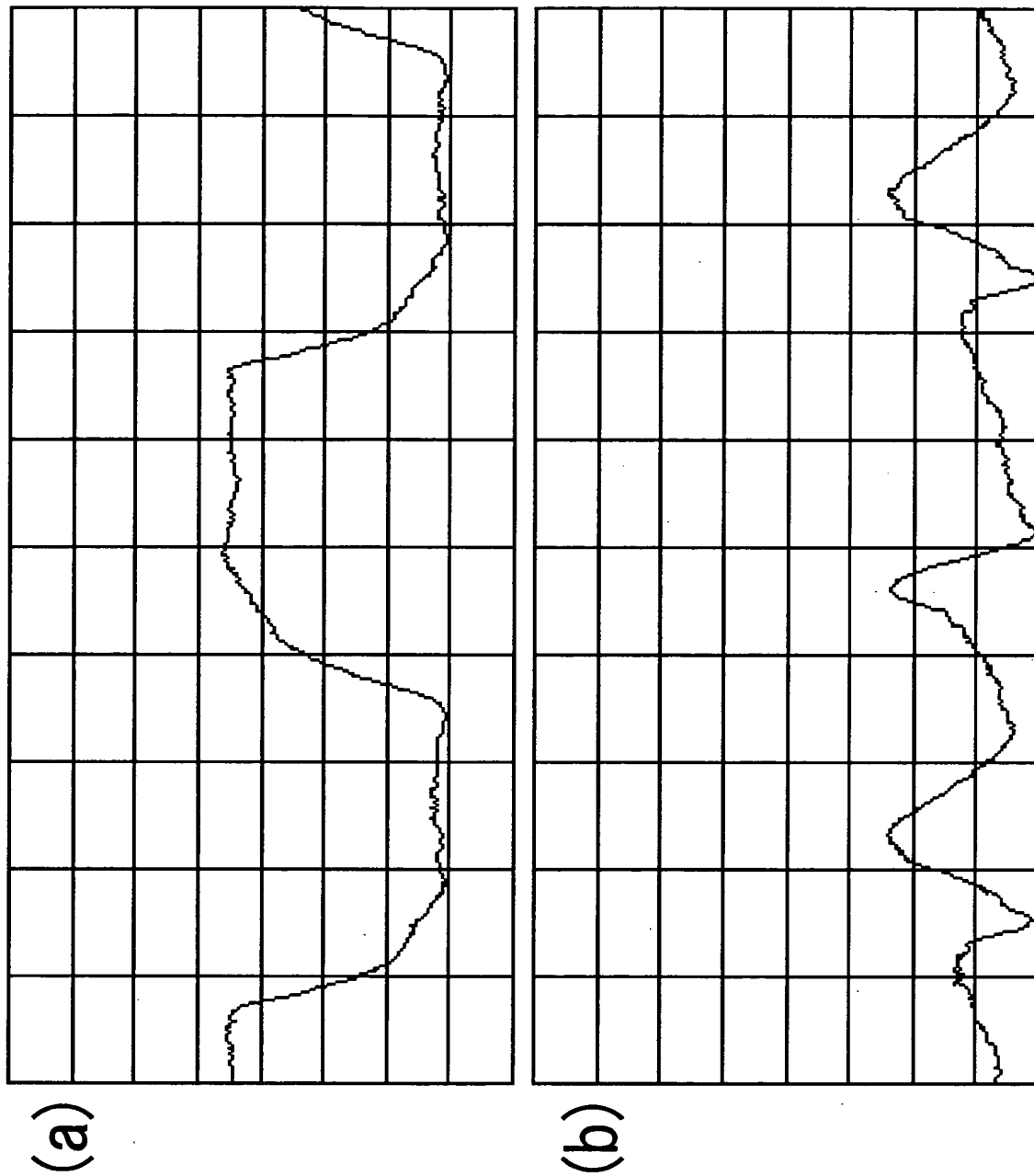
データ信号



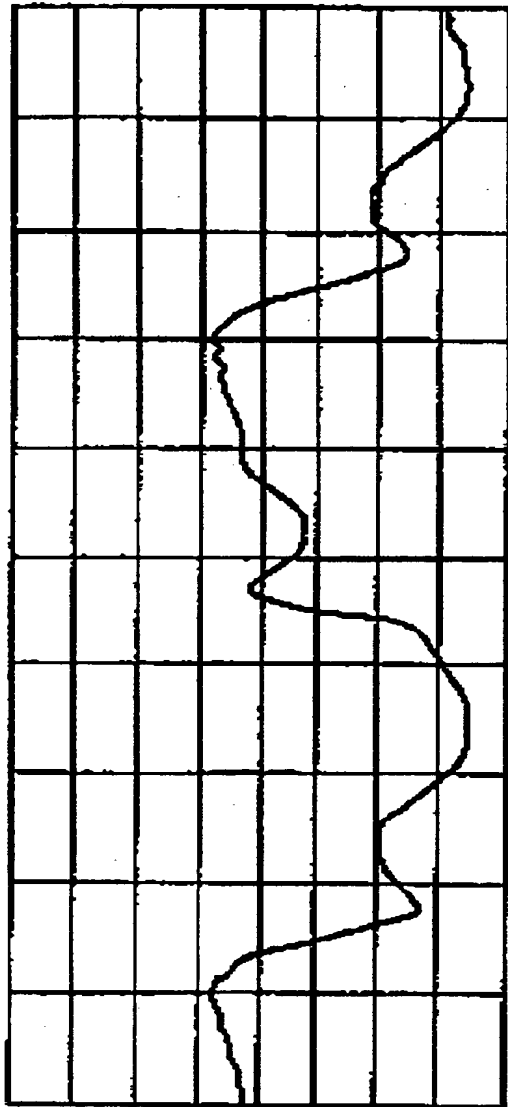
【図6】



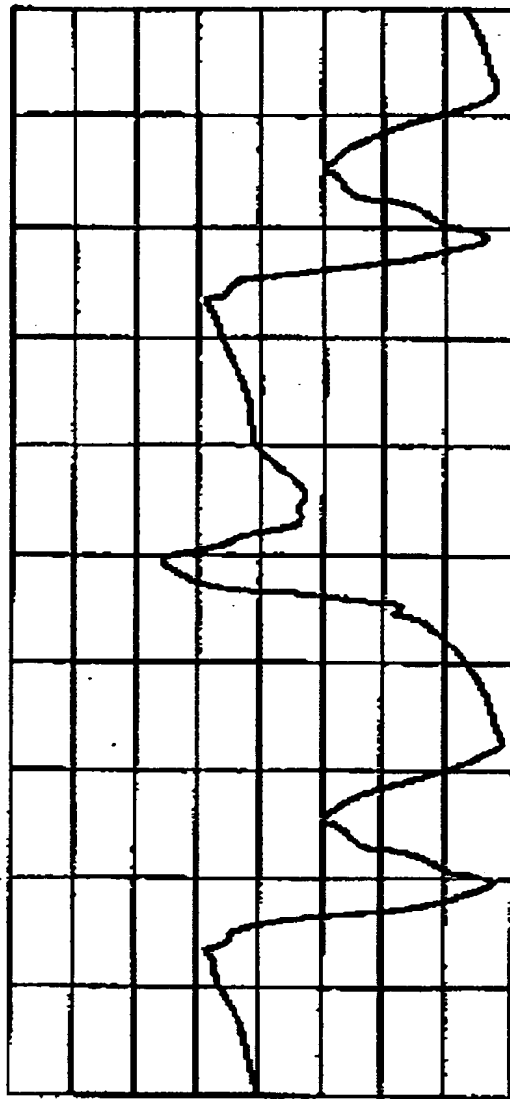
【図7】



【図8】

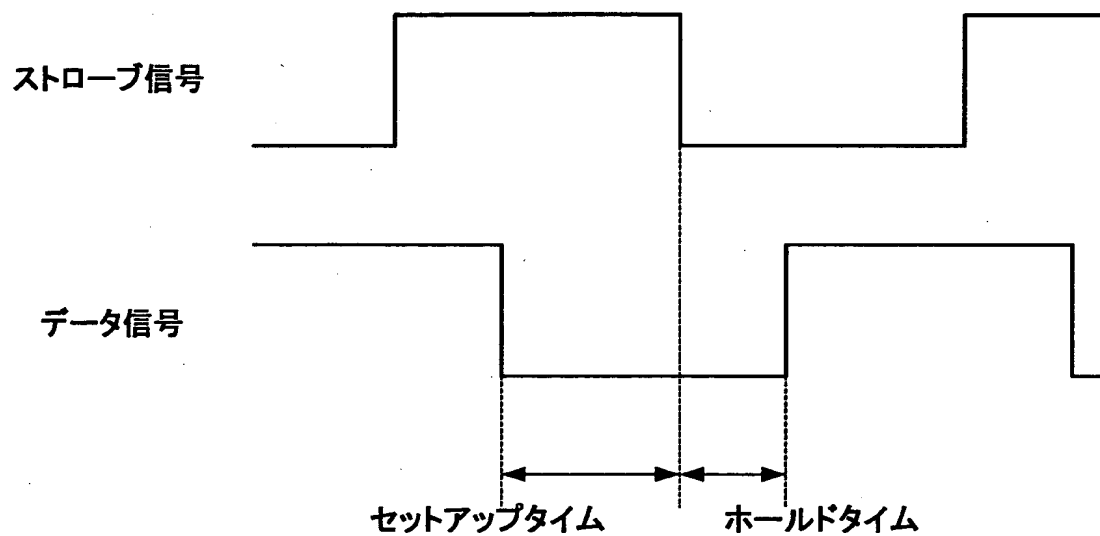


(a)

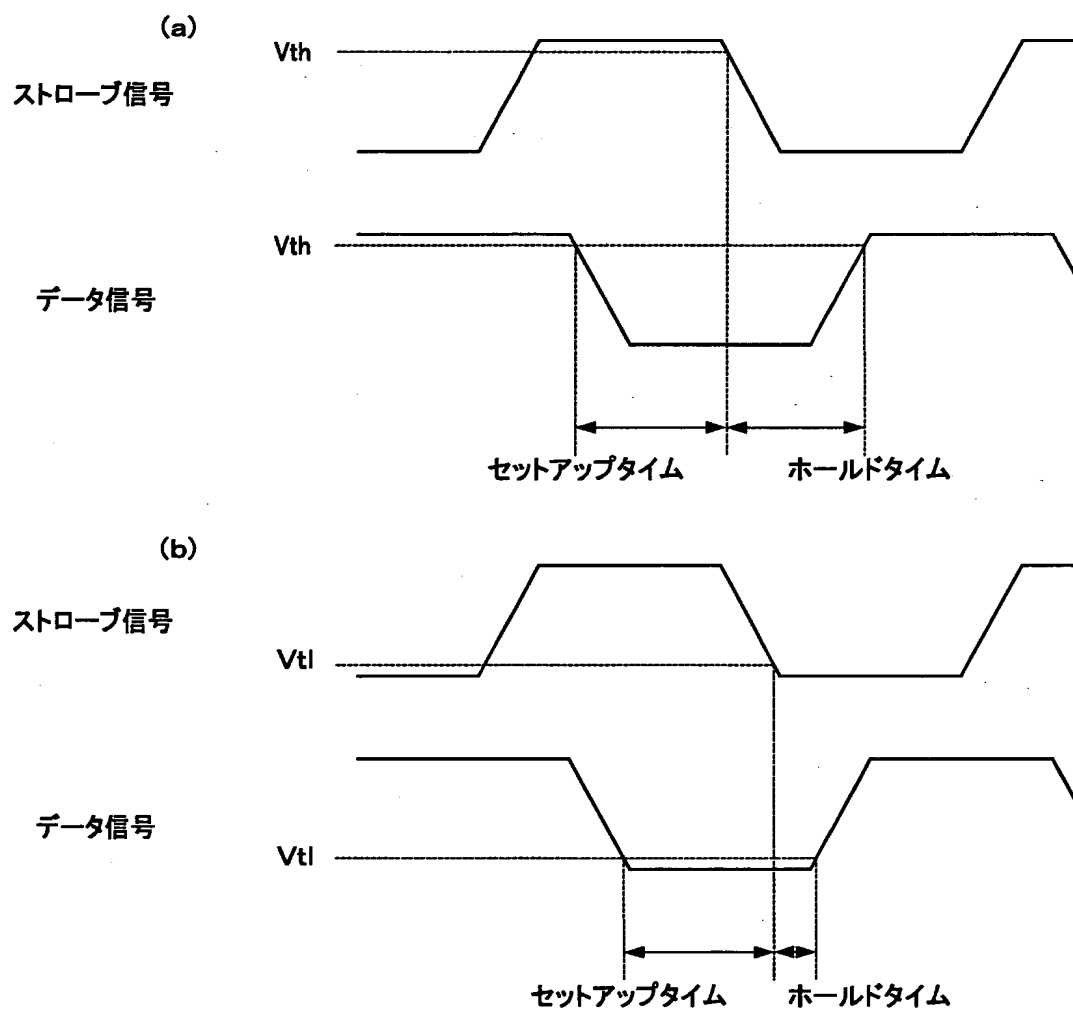


(b)

【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 データ転送速度を低下させることなく、タイミングマージンを増加し、データ転送の信頼性を高める。

【解決手段】 データ信号のスルーレートとストローク信号等の制御信号のスルーレートをドライバのスルーレートコントローラによって独立に制御し、データ信号のスルーレートをストローク信号のスルーレートより小さくする。すなわち、信号波形において、ストローク信号のトランジションタイム内の波形の傾きをデータ信号のそれより大きくする。

【選択図】 図 5

認定・付加情報

特許出願の番号	特願 2000-370626
受付番号	50001569157
書類名	特許願
担当官	濱谷 よし子 1614
作成日	平成13年 1月24日

<認定情報・付加情報>

【特許出願人】

【識別番号】	390009531
【住所又は居所】	アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
【氏名又は名称】	インターナショナル・ビジネス・マシーンズ・コーポレーション

【代理人】

【識別番号】	100086243
【住所又は居所】	神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内
【氏名又は名称】	坂口 博

【代理人】

【識別番号】	100091568
【住所又は居所】	神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内
【氏名又は名称】	市位 嘉宏

【代理人】

【識別番号】	100106699
【住所又は居所】	神奈川県大和市下鶴間1623番14 日本アイ・ビー・エム株式会社大和事業所内
【氏名又は名称】	渡部 弘道

【復代理人】

【識別番号】	100112520
【住所又は居所】	神奈川県大和市中心林間3丁目4番4号 サクライビル4階 間山・林合同技術特許事務所
【氏名又は名称】	林 茂則

【選任した復代理人】

【識別番号】	100110607
--------	-----------

認定・付加情報（続き）

【住所又は居所】 神奈川県大和市中央林間3丁目4番4号 サクラ
イビル4階 間山・林合同技術特許事務所
【氏名又は名称】 間山 進也

出 願 人 履 歴 情 報

識別番号 [390009531]

1. 変更年月日 2000年 5月16日
[変更理由] 名称変更
住 所 アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
氏 名 インターナショナル・ビジネス・マシーンズ・コーポレーション